

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

04048578 **Image available**

PRODUCTION OF DRIVING CIRCUIT INTEGRAL TYPE ACTIVE MATRIX ARRAY

PUB. NO.: 05-040278 [JP 5040278 A]

PUBLISHED: February 19, 1993 (19930219)

INVENTOR(s): NAKAMURA KENICHI

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 03-196332 [JP 91196332]

FILED: August 06, 1991 (19910806)

INTL CLASS: [5] G02F-001/136; G02F-001/1345; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1562, Vol. 17, No. 332, Pg. 34, June
23, 1993 (19930623)

ABSTRACT

PURPOSE: To form two kinds of TFTs varying in characteristics on the same substrate by polycrystallizing the active layers of the TFTs by a laser annealing method and by polycrystallizing the active layers of the TFTs to be used for a matrix part by a solid phase growth method.

CONSTITUTION: Source-drain electrodes consisting of Mo thin films 2 and 2n(sup +) Poly-Si thin films 3 are formed on a glass substrate 1. The Poly-Si thin films 5 polycrystallized by the laser annealing method and the Poly-Si thin films 6 polycrystallized by the solid phase growth method are formed to cover the source-drain electrodes. Two kinds of the TFTs 9, 10 are formed on the same substrate in such a manner.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

009403628 ****Image available****

WPI Acc No: 1993-097138/199312

XRAM Acc No: C93-043183

XRPX Acc No: N93-073975

**Drive circuit monolithic active matrix array mfr. - includes forming
silicon@ film, crystallising exclusively in scanning circuit portion by
laser annealing and crystallising remaining film after annealing**

NoAbstract

Patent Assignee: NEC CORP (NIDE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5040278	A	19930219	JP 91196332	A	19910806	199312 B

Priority Applications (No Type Date): JP 91196332 A 19910806

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 5040278	A	5	G02F-001/136	
------------	---	---	--------------	--

Title Terms: DRIVE; CIRCUIT; MONOLITHIC; ACTIVE; MATRIX; ARRAY;
MANUFACTURE ; FORMING; SILICON; FILM; CRYSTAL; EXCLUDE; SCAN; CIRCUIT;
PORTION; LASER ; ANNEAL; CRYSTAL; REMAINING; FILM; AFTER; ANNEAL;
NOABSTRACT

Derwent Class: L03; P81; U11; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1345; H01L-027/12;

H01L-029/784

File Segment: CPI; EPI; EngPI

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-40278

(43)公開日 平成5年(1993)2月19日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1345		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/78	3 1 1 A
			審査請求	未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-196332

(22)出願日 平成3年(1991)8月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 中村 健一

東京都港区芝五丁目7番1号日本電気株式会社内

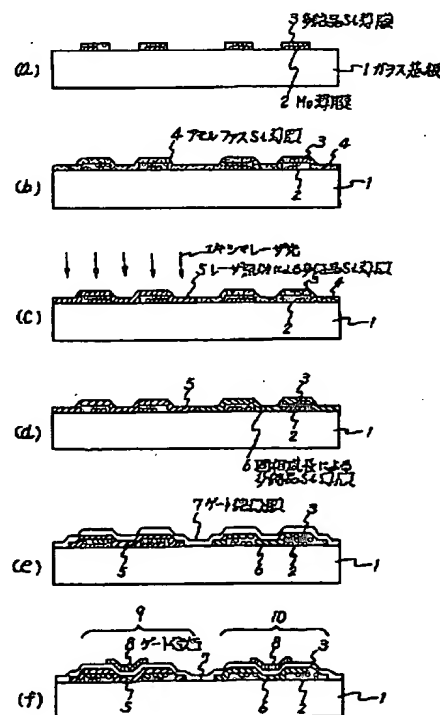
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 駆動回路一体型アクティブマトリクスアレイの製造方法

(57)【要約】 (修正有)

【目的】 液晶表示素子等に用いられる駆動回路一体型アクティブマトリクスアレイにおいて、高いスループットを維持しながらも周辺回路部、画素部共に良好な特性を有するTFTを形成し、良好な表示性能を得ることを目的とする。

【構成】 本発明は、駆動回路一体型アクティブマトリクスアレイの製造方法において、TFTの活性層としてa-Si膜4を形成する工程と、前記a-Si膜4の周辺回路部のみをレーザアニールする工程と、レーザアニール後残りの領域のa-Si膜を固相成長法により結晶化する工程とを有することを特徴とする。



【特許請求の範囲】

【請求項1】 透明絶縁性基板上に形成された複数のゲート線と複数のデータ線と前記各配線の交点に形成されたスイッチング用TFTと前記TFTのソース電極に接続された透明画素電極とからなるアクティブマトリクスアレイと、前記ゲート線に接続された走査回路および前記データ線に接続された信号回路のうち少なくとも一方をアクティブマトリクスアレイと同一基板上に形成した駆動回路一体型アクティブマトリクスアレイの製造方法において、前記TFTの活性層としてa-Si膜を形成する工程と前記走査回路部のみa-Si膜をレーザアニール結晶化する工程とアニール工程後、残されたa-Si膜を固相成長法により結晶化する工程を有することを特徴とする駆動回路一体型アクティブマトリクスアレイの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示素子等に用いられる駆動回路一体型アクティブマトリクスアレイの製造方法に関する。

【0002】

【従来の技術】 液晶表示素子の高精細化に伴い、画素数が増加し、ゲート線およびデータ線数が増加する。この時、表示部であるアクティブマトリクスアレイの外部に走査回路、あるいはサンプルホールド回路およびシフトレジスタからなる信号回路を構成するLSIチップをボンディング等により接続するのは非常に困難となり、液晶表示素子のコストアップにつながる。そこでこの問題を解決するために、図2に示すようにアクティブマトリクスアレイと同一基板上に、走査回路21あるいは信号回路22を形成する方法が提案され実用化されている

(SIDシンポジウムダイジェスト'84pp. 316-319)。

【0003】 一般に走査回路および信号回路に用いられるTFTは高速動作が要求され、アクティブマトリクスアレイ内のTFTは特性の均一性が第一に要求される。これらの条件を満足するTFTとしてこれまでのところ多結晶シリコンTFTが主流を占めており、盛んに研究開発が行われている。この駆動回路一体型アクティブマトリクスアレイを構成する多結晶シリコンTFTのチャネルとなる多結晶シリコン薄膜(活性層)を形成する方法として従来次のような方法が用いられてきた。すなわち、(1) LPCVD法により620℃程度の温度で形成する。(2) CVD法等により低温でアモルファスシリコン(a-Si)薄膜を形成した後、固相成長法により多結晶化する。(3) CVD法等によりa-SiあるいはPoly-Si薄膜を形成した後、レーザを照射し溶融再結晶化する。上記3つの方法のうち(3)のレーザアニール法は基本素子性能では現在最も性能の高いTFTが得られる。

【0004】

【発明が解決しようとする課題】 レーザアニールにより多結晶シリコンを形成する方法には、材料に関して次の2つの方法がある。(1) a-Si薄膜をレーザアニールする。(2) Poly-Si薄膜をレーザアニールする。

【0005】 さらに駆動回路一体型アクティブマトリクスアレイをレーザアニールする場合、レーザを照射する領域に関して、次の2つの方法がある。(ア) 周辺回路部およびアクティブマトリクスアレイ部をレーザアニールする。(イ) 周辺回路部のみをレーザアニールする。

【0006】 上記の各方法について、材料に関しては

(1)の方法の方が粒径の大きな多結晶シリコン薄膜が形成されるので、特性が良好なTFTが得られる。また照射する領域に関しては、周辺回路部はマトリクス部に比べ面積が小さいので(イ)の方法を用いた方が、スループットが格段に良い。ところが、上記(1)と(イ)の方法を同時に選択した場合、即ちa-Si薄膜を形成した後、周辺回路部のみをレーザアニールした場合を考えると、マトリクス部に形成されるTFTはa-SiTFTとなり、良好なTFT特性は得られないという問題が生じる。

【0007】 本発明の目的は、a-Si薄膜を形成する工程と、周辺回路部のみをレーザアニールする工程を同時に選択しながらも、良好な特性を有する駆動回路一体型アクティブマトリクスアレイを提供することである。

【0008】

【課題を解決するための手段】 本発明は、透明絶縁性基板上に形成された複数のゲート線と複数のデータ線と前記各配線の交点に形成されたスイッチング用TFTと前記TFTのソース電極に接続された透明画素電極とからなるアクティブマトリクスアレイと、前記ゲート線に接続された走査回路および前記データ線に接続された信号回路のうち少なくとも一方をアクティブマトリクスアレイと同一基板上に形成した駆動回路一体型アクティブマトリクスアレイの製造方法において、前記TFTの活性層としてa-Si膜を形成する工程と前記走査回路部のみa-Si膜をレーザアニール結晶化する工程とアニール工程後、残されたa-Si膜を固相成長法により結晶化する工程を有することを特徴とする駆動回路一体型アクティブマトリクスアレイの製造方法である。

【0009】

【作用】 本発明によれば、駆動回路一体型アクティブマトリクスアレイにおいて、大部分の面積を占めるアクティブマトリクスアレイを固相成長法により形成し、占有面積の小さい周辺回路のみをレーザアニールするため、基板全面をレーザアニールするのに比べ高いスループットが得られる。しかも、a-Si薄膜をレーザアニールするため、Poly-Si薄膜をレーザアニールする場合に比べ良好な特性を有するTFTを形成することがで

きる。また、アクティブマトリクスアレイ部のTFTの活性層はa-Si薄膜を形成した後に固相成長法を用いて多結晶化するために、アレイ内で均一な特性を有する多結晶シリコンTFTが形成できる。この固相成長時に、すでにレーザアニールにより結晶化された領域は膜質の変化を生じない。このため周辺回路部のみレーザアニールを行い、この後固相成長を行うことにより、周辺回路部のTFTの高い性能を維持したまま画素部TFTの性能を向上できる。この結果、高いTFT性能とスループット均一性を両立でき、表示特性が均一な液晶表示素子を形成することができる。さらにCVD法のみで形成した多結晶シリコンTFTに比べ特性が優れているためTFTのサイズを小さくすることができ、開口率を高くすることができる。

【0010】

【実施例】本発明の一実施例について図1を用いて説明する。図1(f)に本発明により作製した2種類のTFTの概略図を示す。図1(f)中のTFT9は活性層をレーザアニールして形成したTFTで、TFT10は活性層を固相成長法により多結晶化して形成したTFTである。なおTFT9は走査回路に用いられるTFTを表し、TFT10はマトリクス部に用いられるTFTを示す。このように同一基板上に製造法の異なる2種類のTFTを形成している点を特徴とするTFT9、10の構成について説明すると、図1(f)に示すようにガラス基板1上にMo薄膜2及び $2n^+$ Poly-Si薄膜3からなるソース・ドレイン電極が形成されており、さらにソース・ドレイン電極を覆うようにしてレーザアニール法により多結晶化したPoly-Si薄膜5及び固相成長法により多結晶化したPoly-Si薄膜6が形成されている。さらにガラス基板1及びPoly-Si薄膜5、6上に二酸化シリコン(SiO_2)からなるゲート絶縁膜7が形成されており、ゲート絶縁膜上にAlからなるゲート電極8が形成されている。

【0011】次に製造方法について説明する。まず図1(a)に示すように透明なガラス基板1上にスパッタ法によりMo薄膜2を1000Å成膜した後、LPCVD法によりリンをドーパした n^+ Poly-Si薄膜3を500Å形成し、フォトリソグラフィ法によりソース・ドレイン電極を形成する。次に図1(b)に示すようにガラス基板1及びソース・ドレイン電極2、3上にLPCVD法によりアモルファスシリコン(a-Si)薄膜4を500Åの厚さに形成する。次に図1(c)に示すように走査回路部のa-Si薄膜4にキセノクロライド($XeCl$)エキシマレーザを照射し多結晶化し、Poly-Si薄膜5を形成する。次に、図1(d)に示すように窒素雰囲気中600℃で24時間加熱して固相成長を行いa-Si薄膜4のレーザアニールを施していない領域を多結晶化しPoly-Si薄膜6を形成する。この時すでにレーザアニールにより結晶化された領

域の膜質の変化はない。

【0012】次に図1(e)に示すようにフォトリソグラフィ法によりPoly-Si薄膜5、6をソース・ドレイン電極を覆うようにパターニングして島状構造を形成する。

【0013】次に図1(f)に示すようにガラス基板1及びPoly-Si薄膜5、6上に、LPCVD法により SiO_2 のゲート絶縁膜7を1500Åの厚さに形成した後、スパッタ法によりAlを3000Åの厚さに成膜しフォトリソグラフィ法によりパターニングしてゲート電極8を形成する。

【0014】このように本発明により、走査回路に用いるTFTの活性層をレーザアニール法により多結晶化し、マトリクス部に用いるTFTの活性層を固相成長法により多結晶化することにより、特性の異なる2種類のTFTを同一基板上に形成することができ、周辺回路部及びマトリクス部共にそれぞれの要求性能を満足するTFTを形成することができる。

【0015】本方法はスタガ型構造TFTを用いて製作したものであるが、逆スタガ型構造、プレーナ構造等、基本素子構造の異なるものについても同様に実現が可能であった。

【0016】

【発明の効果】以上説明した通り、周辺回路部のみをレーザアニールしマトリクス部を固相成長により多結晶シリコン薄膜を形成することにより、開口率が高くしかも表示特性が良好で均一な駆動回路一体型液晶表示素子を作製することができた。

【図面の簡単な説明】

【図1】本発明による駆動回路一体型アクティブマトリクスアレイの製造工程(a)～(f)を示す断面図である。

【図2】液晶表示素子の構成図である。

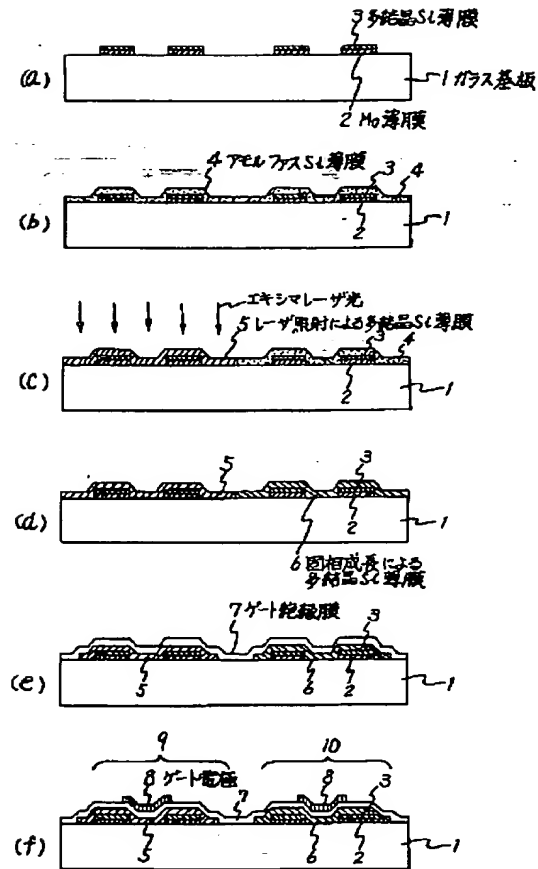
【符号の説明】

- | | |
|----|----------------------------|
| 1 | ガラス基板 |
| 2 | Moソース・ドレイン電極 |
| 3 | n^+ 多結晶シリコンソース・ドレイン電極 |
| 4 | アモルファスシリコン |
| 5 | レーザアニール法により多結晶化した多結晶シリコン薄膜 |
| 6 | 固相成長法により多結晶化した多結晶シリコン薄膜 |
| 7 | ゲート絶縁膜 |
| 8 | ゲート電極 |
| 9 | 活性層をレーザアニールして形成したTFT |
| 10 | 活性層を固相成長により形成したTFT |
| 21 | 走査回路 |
| 22 | 信号回路 |
| 23 | スイッチング用TFT |
| 24 | 蓄積容量 |

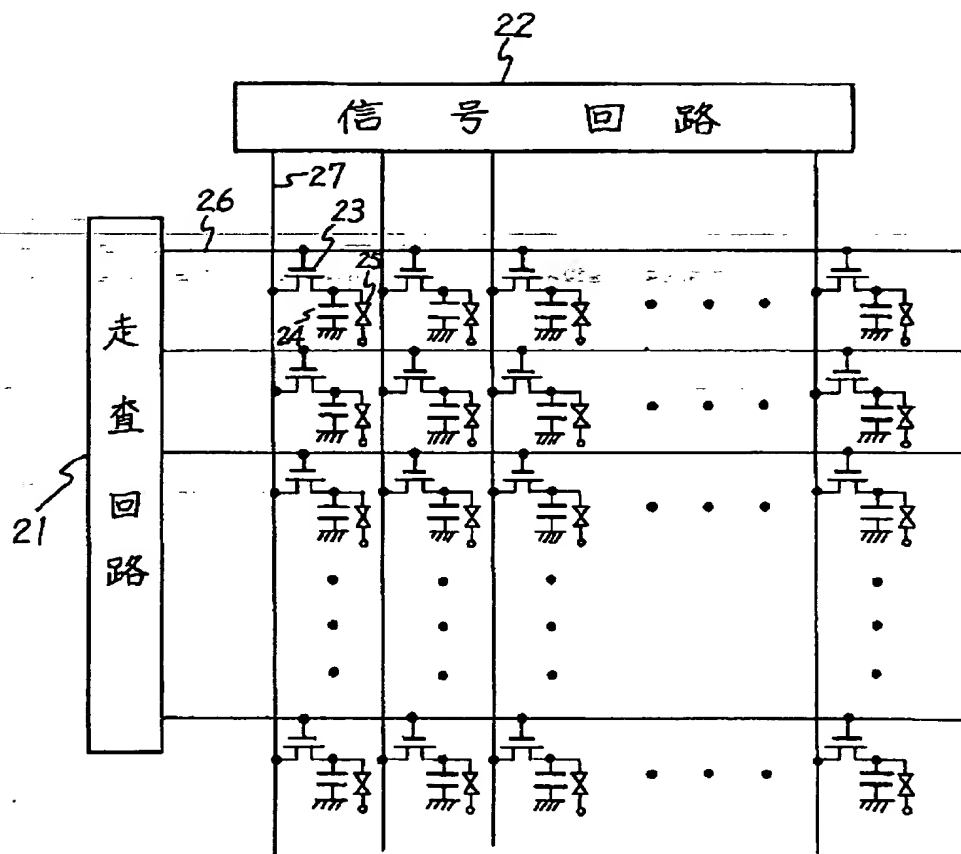
25 液晶容量
26 ゲート線

27 データ線

【図1】



【図2】



23: スイッチング用TFT 24: 蓄積容量

25: 液晶容量 26: ゲート線 27: データ線